

(3) Japanese Patent Application Laid-Open No. 11-68053 (1999)

**“SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING
THE SAME”**

The following is an English translation of an extract of the above application.

5

The present invention relates to a semiconductor device having a CMOS structure and a manufacturing method thereof, and has an object of avoiding punch through and latchup.

The semiconductor according to the present invention comprises a semiconductor
10 substrate 1 having a first conductivity type, a semiconductor layer 2 having a second
conductivity type formed on the first semiconductor substrate 1, a well 3 having the first
conductivity type formed in a part of the semiconductor layer 2, an MOS transistor having a
second conductivity type channel formed in the well 3, an MOS transistor having a first
conductivity type channel formed outside of the well 3 in the semiconductor layer 2, and an
15 isolating region 6 having the first conductivity type which is provided to penetrate the
semiconductor layer 2 in the thickness direction and isolates the two types MOS transistor 4
and 5.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-68053

(43)公開日 平成11年(1999) 3月9日

(51)Int.Cl.⁸

H 0 1 L 27/08
21/761

識別記号

3 3 1

F I

H 0 1 L 27/08
21/76

3 3 1 D
J

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21)出願番号 特願平9-228182

(22)出願日 平成9年(1997) 8月25日

(71)出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(72)発明者 成井 禎

東京都千代田区丸の内3丁目2番3号 株
式会社ニコン内

(72)発明者 正田 昌宏

東京都千代田区丸の内3丁目2番3号 株
式会社ニコン内

(72)発明者 赤川 圭一

東京都千代田区丸の内3丁目2番3号 株
式会社ニコン内

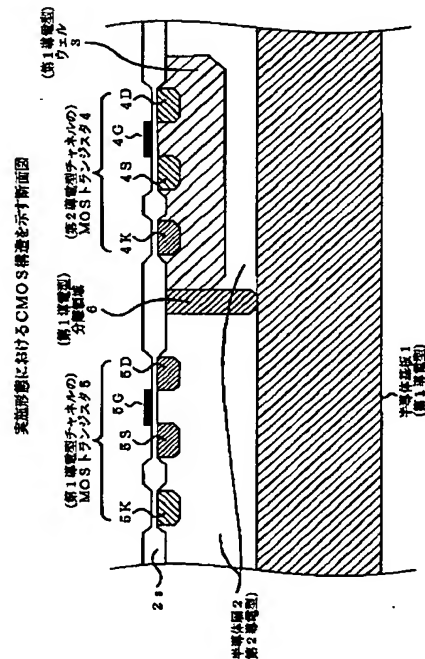
(74)代理人 弁理士 古谷 史旺 (外1名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 本発明は、CMOS構造を有する半導体装置およびその製造方法に関し、パンチスルーやラッチアップを防止することを目的とする。

【解決手段】 第1導電型の半導体基板1と、半導体基板1の上に形成された第2導電型の半導体層2と、半導体層2の一部に形成された第1導電型のウェル3と、ウェル3内に形成された第2導電型チャネルのMOSトランジスタ4と、半導体層2のウェル3外に形成された第1導電型チャネルのMOSトランジスタ5と、半導体層2を厚さ方向に貫いて設けられ、かつ2種類のMOSトランジスタ4、5を分離する第1導電型の分離領域6とを有することを特徴とする。



【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板と、
前記半導体基板の上に形成された第 2 導電型の半導体層と、
前記半導体層の一部に形成された第 1 導電型のウェルと、
前記ウェル内に形成された第 2 導電型チャネルの MOS トランジスタと、
前記半導体層の前記ウェル外に形成された第 1 導電型チャネルの MOS トランジスタと、
前記半導体層を厚さ方向に貫いて設けられ、かつ 2 種類の前記 MOS トランジスタを分離する第 1 導電型の分離領域とを有することを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置を製造する製造方法であって、
第 1 導電型の半導体基板の上に、第 2 導電型の半導体層をエピタキシャル法により形成する工程と、
前記半導体層に第 1 導電型の不純物を拡散し、第 1 導電型のウェルと、前記半導体層を貫通する第 1 導電型の分離領域とを形成する工程と、
前記ウェル内に第 2 導電型チャネルの MOS トランジスタを形成する工程と、
前記分離領域を介して前記ウェルと分離された前記半導体層の領域に、第 1 導電型チャネルの MOS トランジスタを形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CMOS 構造を有する半導体装置およびその製造方法に関する。また特に、バンチスルーやラッチアップを起こしにくい半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来、半導体装置の CMOS 構造として、図 8 に示すようなものが知られている。

【0003】この CMOS 構造では、n 型半導体基板 71 の一部領域に、p 型ウェル 72 が形成される。この p 型ウェル 72 内には、ソース 73 S、ドレイン 73 D およびゲート 73 G からなる NMOS トランジスタ 73 が形成される。また、p 型ウェル 72 の一部には、NMOS トランジスタ 73 に基板電位を与えるための p+ 領域 73 K が形成される。

【0004】一方、n 型半導体基板 71 の p 型ウェル 72 外には、ソース 74 S、ドレイン 74 D およびゲート 74 G からなる PMOS トランジスタ 74 が形成される。また、PMOS トランジスタ 74 の近傍には、PMOS トランジスタ 74 に基板電位を与えるための n+ 領域 74 K が形成される。

【0005】

【発明が解決しようとする課題】ところで、このような

CMOS 構造では、回路の駆動電圧を大きくするに従って、バンチスルー現象が発生する。

【0006】図 9 は、この種のバンチスルー現象を説明する図である。図 9 において、n 型半導体基板 71 には、+15 V 程度の電圧が印加される。また、p 型ウェル 72 には、p+ 領域 73 K を介して -15 V 程度の電圧が印加される。このような大きな駆動電圧により、n 型半導体基板 71 と p 型ウェル 72 との境界面には、幅厚の空乏層 80 が発生する。

10 【0007】この状態で、ドレイン 73 D に電圧が印加されると、ドレイン 73 D の直下の空乏層が成長し、空乏層 80 に接する。このとき、空乏層の接合箇所を介して、バンチスルー電流 I_p が急激に流れる。この種のバンチスルー現象を防ぐためには、次の 2 つの対策 (1)、(2) が考えられる。

【0008】(1) p 型ウェル 72 の不純物濃度を濃くして、p 型ウェル 72 内に生じる空乏層の幅を薄くする。

20 (2) p 型ウェル 72 の拡散深さ X_j を深くして、空乏層同士の間隔を十分にとる。

【0009】しかしながら、(1) の対策のように、p 型ウェル 72 の不純物濃度を濃くした場合には、p 型ウェル 72 内における PN 接合の耐圧が低くなるという弊害が生じる。特に、駆動電圧を大きく設計する場合には、「PN 接合の耐圧」と「バンチスルー防止」の両条件が相反するため、(1) の対策では適当な設計値が見あたらないというケースもあった。さらに、(1) の対策では、p 型ウェル 72 の不純物濃度を濃くするに従って、NMOS トランジスタ 73 のゲート容量が増大する。そのため、(1) の対策では、NMOS トランジスタ 73 の動作速度が顕著に低下するという弊害もあった。

【0010】一方、(2) の対策では、p 型ウェル 72 の拡散深さ X_j を深くする。この p 型ウェル 72 は、低濃度の拡散層であるため、拡散深さ X_j を十分深くするためには、高温かつ長時間のドライブインが必要となる。下表は、p 型ウェル 72 のドライブイン条件とバンチスルー耐圧との関係を示したものである。

【0011】

ドライブイン条件	バンチスルー耐圧
(1150℃, 1200分)	15V
(1150℃, 3000分)	30V

この表からわかるように、十分なバンチスルー耐圧を確保するためには、長時間にわたるドライブインが必要となる。このような理由から、(2) の対策では、CMOS 構造の生産性が低下するという問題点があった。

【0012】また、上述したバンチスルー現象のほかにも、従来の CMOS 構造には、ラッチアップ現象という不具合があった。図 10 は、このラッチアップ現象を説明する図である。図 10 において、寄生 PNP N サイリ

スタは、次の経路に沿って発生する。

(ソース74S) → (n型半導体基板71) → (p型ウェル72) → (ソース73S)

この寄生PNPNサイリスタの等価回路は、図10中に示す2つのトランジスタQ1、Q2により表現される。

【0013】このトランジスタQ1、Q2が、ノイズ電流などによって一旦オン状態に入ると、そのままオン状態が継続する。その結果、ソース74Sからソース73Sにかけて過電流が流れ続け、やがて素子破壊に至る。このようなラッチアップ現象を防ぐためには、次の3つの対策(A)～(C)が考えられる。

【0014】(A) p型ウェル72の不純物濃度を濃くして、ウェル抵抗 R_w を下げる。すると、Q2のコレクタ電流がp+領域73Kへより多く流れるため、Q1のベース電流がその分だけ低下する。その結果、Q1のオン状態が阻止され、ラッチアップ現象が防止される。

(B) p型ウェル72の拡散深さ X_j を深くして、Q1のベース幅を広げる。すると、Q1の電流増幅率 β が下がり、Q1およびQ2のオン状態が阻止され、ラッチアップ現象が防止される。

(C) n型半導体基板71の不純物濃度を濃くして、基板抵抗 R_{sub} を下げる。すると、Q1のコレクタ電流がn+領域74Kからより多く供給されるため、Q2のベース電流がその分だけ低下する。その結果、Q2のオン状態が阻止され、ラッチアップ現象が防止される。

【0015】しかしながら、(A)、(B)の対策は、上記(1)、(2)と同じ内容のため、上記(1)、

(2)と同様の問題点を生じる。一方、(C)の対策では、n型半導体基板71の不純物濃度を濃くするため、図9に示す空乏層80が厚くなる。その結果、パンチスルー現象が発生しやすくなるという問題点があった。

【0016】そこで、請求項1に記載の発明では、パンチスルーやラッチアップを起こしにくいCMOS構造を有する半導体装置を提供することを目的とする。請求項2に記載の発明では、請求項1に記載の半導体装置を確実に製造する方法を提供することを目的とする。

【0017】

【課題を解決するための手段】請求項1に記載の半導体装置は、第1導電型の半導体基板と、半導体基板の上に形成された第2導電型の半導体層と、半導体層の一部に形成された第1導電型のウェルと、ウェル内に形成された第2導電型チャンネルのMOSトランジスタと、半導体層のウェル外に形成された第1導電型チャンネルのMOSトランジスタと、半導体層を厚さ方向に貫いて設けられ、かつ上記2種類のMOSトランジスタを分離する第1導電型の分離領域とを有することを特徴とする。

【0018】請求項2に記載の製造方法は、請求項1に記載の半導体装置を製造する製造方法であって、第1導電型の半導体基板上に第2導電型の半導体層をエビタキシャル法により形成する工程と、半導体層に第1導電型

の不純物を拡散し、「第1導電型のウェル」と「半導体層を貫通する第1導電型の分離領域」とを形成する工程と、ウェル内に第2導電型チャンネルのMOSトランジスタを形成する工程と、分離領域を介してウェルと分離された半導体層の領域に、第1導電型チャンネルのMOSトランジスタを形成する工程とを有することを特徴とする。

【0019】

【発明の実施の形態】以下、図面に基づいて本発明における実施の形態を説明する。

(実施形態の構造) 図1は、本実施形態の半導体装置におけるCMOS構造を示す断面図である。図1において、第1導電型の半導体基板1の上には、第2導電型の半導体層2が形成される。この半導体層2の一部領域には、第1導電型のウェル3が形成される。

【0020】ウェル3内には、第2導電型の拡散領域からなるドレイン4Dとソース4Sとが形成される。これらドレイン4Dとソース4Sとの中間には、絶縁膜2zを介してゲート4Gが形成される。これらのドレイン4D、ソース4Sおよびゲート4Gにより、第2導電型チャンネルのMOSトランジスタ4が構成される。また、ウェル3内には、MOSトランジスタ4に基板電位を与えるための拡散領域4Kも併せて形成される。

【0021】一方、ウェル3以外の半導体層2には、第1導電型の拡散領域からなるドレイン5Dとソース5Sとが形成される。これらドレイン5Dとソース5Sとの中間には、絶縁膜2zを介してゲート5Gが形成される。これらのドレイン5D、ソース5Sおよびゲート5Gにより、第1導電型チャンネルのMOSトランジスタ5が構成される。また、MOSトランジスタ5の近傍には、MOSトランジスタ5に基板電位を与えるための拡散領域5Kも併せて形成される。

【0022】このような2種類のMOSトランジスタ4、5を隔てるように、第1導電型の分離領域6が形成される。この分離領域6は、半導体層2を厚さ方向に貫いて形成される。

【0023】次に、上記のCMOS構造の製造方法について説明する。

(実施形態の製造方法) 図2a～cは、本実施形態におけるCMOS構造の製造方法を概略説明する図である。まず、エビタキシャル法その他の薄膜形成法を用いて、半導体基板1の上に半導体層2を形成する(図2a)。

【0024】このような半導体層2に対して第1導電型の不純物をイオン注入法に従い拡散させ、ウェル3と分離領域6とを形成する(図2b)。特に、この分離領域6については、半導体層2を貫いて半導体基板1に達するまで、第1導電型のイオンを深く拡散させる。

【0025】続いて、公知のMOS形成技術を用いて、ウェル3内に第2導電型チャンネルのMOSトランジスタ4を形成する。また、分離領域6を介してウェル3と分

離された半導体層2の領域にも、第1導電型チャネルのMOSトランジスタ5を形成する(図2c)。このような工程により、本実施形態のCMOS構造が形成される。

【0026】次に、本実施形態におけるパンチスルーの防止効果について説明する。

(パンチスルーの防止効果)図3は、パンチスルーの防止効果を説明する図である。本実施形態では、ウェル3内にMOSトランジスタ4が形成される。このウェル3は、半導体基板1と同じ導電型であり、かつほぼ同じ電位が与えられる。そのため、ウェル3と半導体基板1との間に空乏層が生じることは一切ない。

【0027】また、ウェル3と接する半導体層2は、分離領域6によって周囲の半導体層2と電気的に隔離されているため、フローティング状態にある。そのため、ウェル3の電位が上下しても、ウェル3と半導体層2との電位差はほとんど変化しない。したがって、ウェル3と半導体層2との接合面に生じる空乏層は、さほど厚くならない。

【0028】以上の理由から、ウェル3の内部において空乏層同士が接触するおそれは少ない。そのため、ウェル3については、パンチスルー現象のための特別な対策は不要となる。

【0029】一方、MOSトランジスタ5が形成される半導体層2には、MOSトランジスタ5の基板電位が与えられる。そのため、この半導体層2と半導体基板1との境界面には、大きな駆動電圧によって幅厚の空乏層2aが発生する。一方、MOSトランジスタ5のドレイン5D(またはソース5S)に電圧が印加されると、その直下に空乏層2bが成長する。これら2つの空乏層2a、2bが接触することによって、パンチスルー現象が発生する。

【0030】しかしながら、この種のパンチスルー現象は、半導体層2の膜厚を予め厚く設定して、2つの空乏層2a、2bの間隔を広げておくことにより、防止することができる。また、半導体層2は膜形成法により形成されるので、この程度の厚膜化であれば、通常の膜厚設定の範囲で容易に実現することができる。

【0031】なお、半導体層2の膜厚を厚くすることによって、分離領域6の拡散深さをその分だけ延ばす必要がある。しかしながら、分離領域6は高濃度層であり、上述したp型ウェル72(図8)の拡散深さを延ばすような場合に比べ、ドライブインに要する時間は格段に短い。以上説明したように、本実施形態の半導体装置では、生産性をさほど落とすことなく、パンチスルー現象を確実に防止することが可能となる。

【0032】次に、本実施形態におけるラッチアップの防止効果について説明する。

(ラッチアップの防止効果)図4は、ラッチアップの防止効果を説明する図である。なお、図4では、説明の都

合上、第1導電型をn型とし、第2導電型をp型として、トランジスタの極性表示などを行っている。

【0033】図4に示すように、本実施形態の半導体装置では、次の経路に沿って寄生PNPNサイリスタが発生する。

(ソース4S)→(ウェル3、分離領域6、半導体基板1)→(半導体層2)→(ソース5S)

この寄生PNPNサイリスタの等価回路は、図4中に示すトランジスタQ3、Q4によって表現される。

【0034】ここで、半導体基板1の基板抵抗 R_{sub} を下げるか、またはウェル3のウェル抵抗 R_w を上げることで、Q4のベース電流を小さく抑えることができる。このようにQ4のベース電流を小さく抑えることにより、Q4のコレクタ電流(Q3のベース電流)が小さく抑えられる。すると、Q3のコレクタ電流が小さくなり、Q4のベース電流が再び小さく抑えられる。これらの一連の動作が繰り返されることにより、Q3およびQ4からなる寄生PNPNサイリスタは、確実に導通しづらくなる。

【0035】以上のような理由から、本実施形態の半導体装置では、半導体基板1の基板抵抗 R_{sub} を下げるか、またはウェル3のウェル抵抗 R_w を上げることで、ラッチアップ現象を確実にかつ容易に防止することが可能となる。特に、ウェル抵抗 R_w を上げるためにウェル3の不純物濃度を低くした場合には、副次的な効果を得ることができる。

【0036】すなわち、ウェル3の不純物濃度を低くすることによって、ウェル3内のPN接合の耐圧を高くできる。また、ウェル3の不純物濃度を低くすることによって、MOSトランジスタ4のゲート容量が低下し、MOSトランジスタ4の動作速度を高速化することができる。

【0037】以上説明したように、本実施形態の半導体装置は、パンチスルー現象とラッチアップ現象の両方を防止する上で、特に好適な構造である。

【0038】

【実施例】本出願人は、特願平9-16399号において、固体撮像装置の発明を出願している。この明細書中には、発明の一実施形態として、CMOS駆動回路を搭載した固体撮像装置が記されている。

【0039】以下、この種の固体撮像装置に、本発明のCMOS構造を搭載したケースについて説明を行う。図5は、固体撮像装置の一部断面図である。図5において、n型半導体基板11の上面には、p型半導体層12が形成される。このp型半導体層12の内部は、n型半導体基板11まで達するn型分離領域13で仕切られ、複数の領域に区分される。

【0040】これらの各領域には、PMOSトランジスタ20、NMOSトランジスタ21、イメージエリア30などが、それぞれに形成される。このPMOSトラン

ジスタ20を形成する領域には、p型半導体層12にn型ウェル20wが形成される。このn型ウェル20wの内側には、p+型拡散領域であるドレイン20Dおよびソース20Sが形成される。これらのドレイン20Dおよびソース20Sの間のチャンネル領域には不純物イオンが注入され、PMOSTランジスタ20の閾値電圧 V_{th} が適宜に調整される。このチャンネル領域の上には、酸化Si膜15を介して、ポリシリコンからなるゲート20Gが形成される。また、n型ウェル20wには、PMOSTランジスタ20に基板電位を与えるためのn+型拡散領域20Kも併せて設けられる。

【0041】また、NMOSTランジスタ21を形成する領域には、p型半導体層12の一部にn+型拡散領域であるドレイン21Dおよびソース21Sが形成される。これらのドレイン21Dおよびソース21Sの間のチャンネル領域には不純物イオンが注入され、NMOSTランジスタ21の閾値電圧 V_{th} が適宜に調整される。このチャンネル領域の上には、酸化Si膜15を介して、ポリシリコンからなるゲート21Gが形成される。また、p型半導体層12には、NMOSTランジスタ21に基板電位を与えるためのp+型拡散領域21Kも併せて設けられる。

【0042】一方、イメージエリア30を形成する領域には、p型半導体層12の一部に、埋め込みホトダイオードを形成する。つまり、光電変換用p型層31および光電変換型n型層32とが2層に形成される。この光電変換型n型層32とp型半導体層12との接合面はホトダイオードを形成する。そのため、照射光により誘起した信号電荷は、フローティング状態にある光電変換型n型層32に蓄積される。

【0043】この光電変換型n型層32の隣には、長尺状のn型CCD拡散層33が設けられる。この光電変換型n型層32とn型CCD拡散層33との間のチャンネル領域34には不純物イオンが注入され、信号電荷読み出し時の閾値電圧 V_{th} が適宜に調整される。このようなn型CCD拡散層33およびチャンネル領域34の上には、酸化Si膜15を介して、ポリシリコンからなるトランスファゲート35が形成される。

【0044】なお、請求項1に記載の発明と本実施例との対応関係については、半導体基板1はn型半導体基板11に対応し、半導体層2はp型半導体層12に対応し、ウェル3はn型ウェル20wに対応し、MOSTランジスタ4はPMOSTランジスタ20に対応し、MOSTランジスタ5はNMOSTランジスタ21に対応し、分離領域6はn型分離領域13に対応する。

【0045】次に、本実施例の製造方法について説明する。図6および図7は、実施例の製造方法を説明する図である。なお、図中では、公知のフォトリソグラフィ処理などの工程を省略している。まず、図6aに示すように、n型半導体基板11の上面に、エピタキシャル法

を用いて10 μ m程度のp型半導体層12を膜成長させる。このp型半導体層12の不純物濃度は、(2×10^{15} cm $^{-3}$)に設定される。

【0046】このp型半導体層12の表面に、イオン注入から表面を保護するための酸化Si膜15を形成する。次に、p型半導体層12の表面にフォトレジストを選択的に付けた状態で、イオン注入を行い、n型分離領域13およびn型ウェル20wの元となる不純物をp型半導体層12にそれぞれ打ち込む。

【0047】このとき、必要であれば、その他のp型半導体層12にもイオン注入を行い、p型半導体層12の不純物濃度を調整してもよい。この状態で、アニール処理を施すため、(1150 $^{\circ}$ C, 1200分)の条件でドライブインを行う。このようなドライブインの工程を経て、図6bに示すように、n型分離領域13の拡散深さがn型半導体基板11まで達する。同時に、このドライブインの工程において、n型ウェル20wも完成する。

【0048】次に、公知の選択酸化法を用いて、酸化Si膜15を部分的に厚くして素子分離領域15aを形成する。その後、n型イオンを注入してドライブインを行い、図6cに示すように、n型CCD拡散層33を形成する。さらに、PMOSTランジスタ20およびNMOSTランジスタ21およびイメージエリア30のチャンネル領域にイオン注入を行い、閾値電圧 V_{th} をそれぞれ調整する。

【0049】次に、図6dに示す活性領域40の酸化Si膜15をエッチングにより一旦除去した後、酸化法を用いて、新たにきれいな薄い酸化Si膜15を形成する。この新たな酸化Si膜15の上に、CVD法を用いてゲート21G、ゲート20Gおよびトランスファゲート35を形成する。その後、ドレイン20D、ソース20Sおよびp+型拡散領域21Kの元となる不純物を選択的にイオン注入する。また、ドレイン21D、ソース21Sおよびn+型拡散領域20Kの元となる不純物を選択的にイオン注入する。

【0050】この時点で全体にアニール処理を施すことにより、図7eに示すようなPMOSTランジスタ20およびNMOSTランジスタ21が完成する。次に、イメージエリア30に対して、光電変換型n型層32の元となる不純物をイオン注入してアニール処理を施し、光電変換型n型層32を形成する。さらに、光電変換型n型層32に対して、光電変換用p型層31の元となる不純物をイオン注入してアニール処理を施し、光電変換用p型層31を形成する。

【0051】以上説明した工程により、図7fに示すような構造が得られる。なお、その後の工程については、CVD法により層間絶縁膜を形成した後(平坦化工程)、コンタクトホールやビアホールなどの穴あけを行ってAL配線を行う(配線工程)。さらに、表面にパッシベーション膜を形成した後、ボンディングパッドの穴

あけを行って完成する。

【0052】次の本実施例の効果について説明する。本実施例では、p型半導体層12の不純物濃度を($2 \times 10^{15} \text{ cm}^{-3}$)にし、その膜厚を $10 \mu\text{m}$ とする。このような設定によって、パンチスルー耐圧30Vを容易に確保することができた。このとき、n型分離領域13のドライブイン時間は、1200分である。したがって、従来例(図8)におけるp型ウェル72のドライブイン時間(3000分)に比べても、ドライブ時間を大幅に短縮することが可能となる。

【0053】その上さらに、本実施例では、n型半導体基板11の不純物濃度を濃くすることにより、ラッチアップ現象が非常に起こりづらくなる。以上述べた効果により、駆動電圧の大きな半導体装置(例えば、固体撮像装置)であっても、CMOS部分のパンチスルー現象やラッチアップ現象を確実に防止することが可能となる。

【0054】なお、上述した実施例では、第1導電型をn型とし、第2導電型をp型としているが、これに限定されるものではない。第1導電型をp型として、第2導電型をn型としてもよい。

【0055】また、上述した実施例では、n型分離領域13とn型ウェル20wとが接触しているが、これに限定されるものではない。n型ウェル20wに電位を独立に与える構成であれば、n型分離領域13とn型ウェル20wとが離れていてもよい。さらに、上述した実施例では、n型分離領域13をイオン注入法により形成しているが、これに限定されるものではない。n型分離領域13は高濃度の拡散層なので、例えば、拡散法などにより形成することもできる。

【0056】なお、上述した実施例では、片ウェルタイプのCMOS構造を形成しているが、本発明はこれに限定されるものではない。例えば、NMOSトランジスタ21を形成する領域に、前もってp型のイオンを注入することにより、p型ウェルを形成してもよい。このような構造では、ダブルウェルタイプのCMOS構造の作用効果までも併せて得ることができる。

【0057】

【発明の効果】以上説明したように、請求項1に記載の発明では、半導体層を厚くすることにより、パンチスルー耐圧を確実に高めることができる。また、この程度の厚膜化は、特別な加工技術を要することなく、膜形成時の膜厚設定により容易に実現することができる。

【0058】したがって、請求項1の半導体装置では、生産性をさほど落とすことなく、パンチスルー耐圧を確実にかつ容易に高めることが可能となる。また、請求項1の半導体装置では、半導体基板の基板抵抗を下げるか、またはウェルのウェル抵抗を上げることによって、ラッチアップ現象を確実に防止することができる。

【0059】特に、ウェル抵抗を上げるためにウェル内

の不純物濃度を低くした場合には、副次的な効果を得ることもできる。すなわち、ウェルの不純物濃度を低くすることによって、ウェル内のPN接合の耐圧を高くすることができる。

【0060】また、ウェルの不純物濃度を低くすることによって、ウェル中のMOSトランジスタのゲート容量が低下し、MOSトランジスタの動作速度を速くすることができる。以上述べた理由から、請求項1の半導体装置は、パンチスルー現象とラッチアップ現象の両方を防止する上で、特に好適な構造である。

【0061】請求項2に記載の発明では、半導体層をエピタキシャル法により膜形成する。したがって、膜厚の厚い半導体層を欠陥なく正確に形成することができる。したがって、半導体層のたまたま薄い箇所でもパンチスルー現象が生じるなどのおそれが少なくなり、半導体装置の信頼性を一層高めることができる。

【図面の簡単な説明】

【図1】本実施形態の半導体装置におけるCMOS構造を示す断面図である。

【図2】本実施形態における半導体装置の製造方法を示す図である。

【図3】パンチスルーの防止効果を説明する図である。

【図4】ラッチアップの防止効果を説明する図である。

【図5】固体撮像装置の一部断面図である。

【図6】実施例の製造方法を説明する図である。

【図7】実施例の製造方法を説明する図である。

【図8】従来のCMOS構造を説明する図である。

【図9】パンチスルー現象を説明する図である。

【図10】ラッチアップ現象を説明する図である。

【符号の説明】

1 半導体基板

2 半導体層

2a 空乏層

2b 空乏層

2z 絶縁膜

3 ウェル

4 第2導電型チャネルのMOSトランジスタ

4D ドレイン

4G ゲート

4K 拡散領域

4S ソース

5 第1導電型チャネルのMOSトランジスタ

5D ドレイン

5G ゲート

5K 拡散領域

5S ソース

6 分離領域

11 n型半導体基板

12 p型半導体層

13 n型分離領域

10

20

30

40

50

11

15 酸化Si膜
 15a 素子分離領域
 20 PMOSTランジスタ
 20D ドレイン
 20G ゲート
 20K n+型拡散領域
 20S ソース
 20w n型ウェル
 21 NMOSTランジスタ
 21D ドレイン
 21G ゲート
 21K p+型拡散領域
 21S ソース
 30 イメージエリア
 31 光電変換型p型層
 32 光電変換型n型層

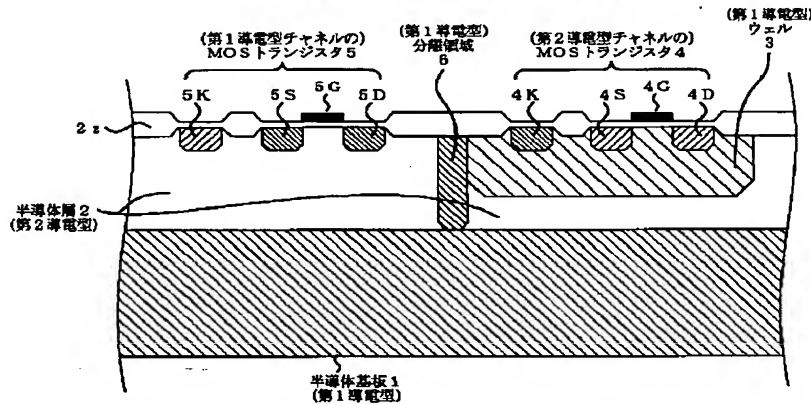
12

* 33 n型CCD拡散層
 34 チャンネル領域
 35 トランスファゲート
 71 n型半導体基板
 72 p型ウェル
 73 NMOSTランジスタ
 73D ドレイン
 73G ゲート
 73K p+領域
 73S ソース
 74 PMOSTランジスタ
 74D ドレイン
 74G ゲート
 74K n+領域
 74S ソース

*

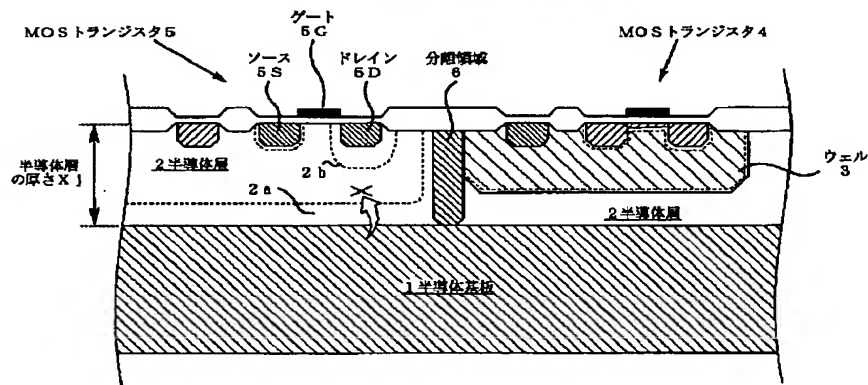
【図1】

実施形態におけるCMOS構造を示す断面図



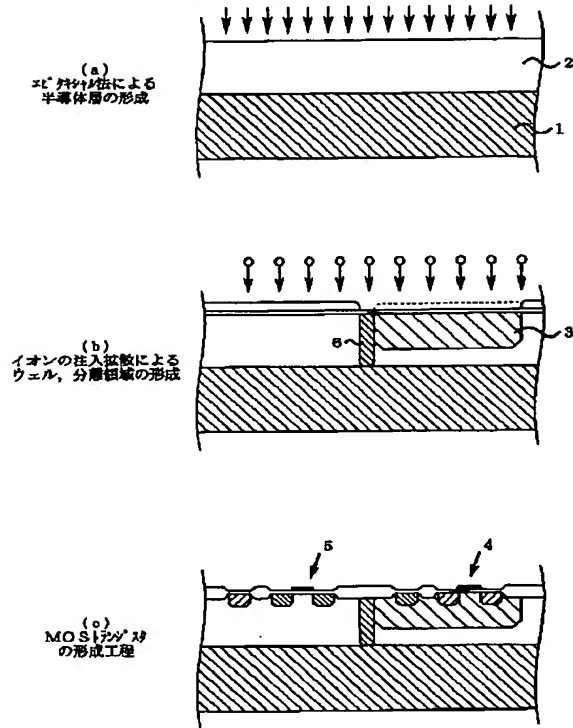
【図3】

パシスルーの防止効果を説明する図



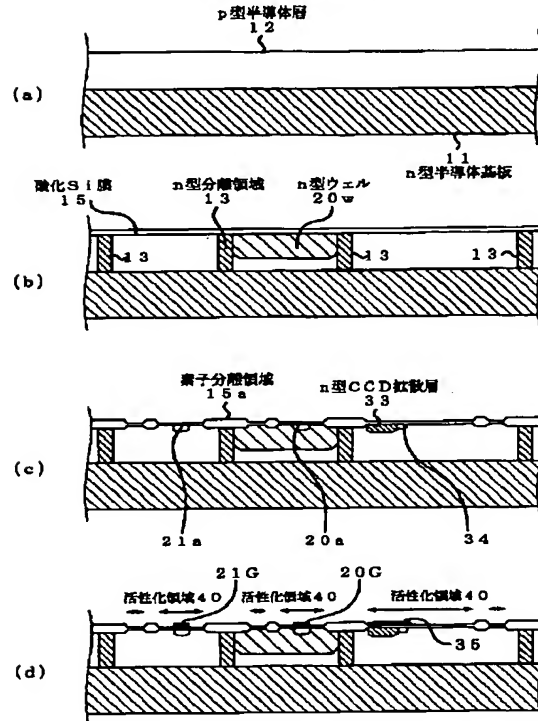
【図2】

本実施形態の製造方法を説明する図



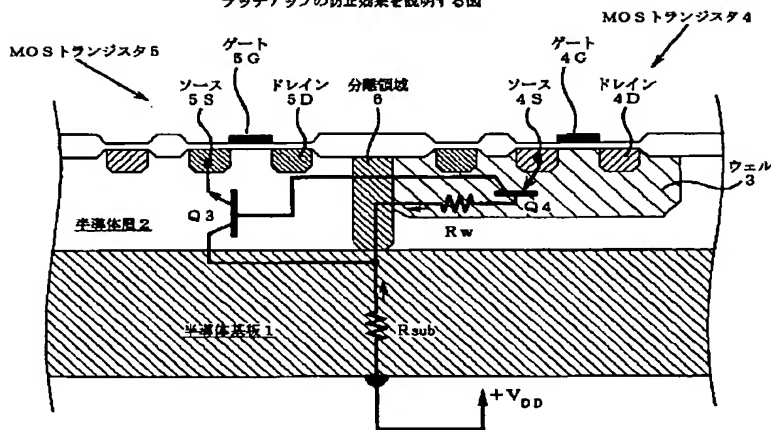
【図6】

本実施例の製造方法を説明する図

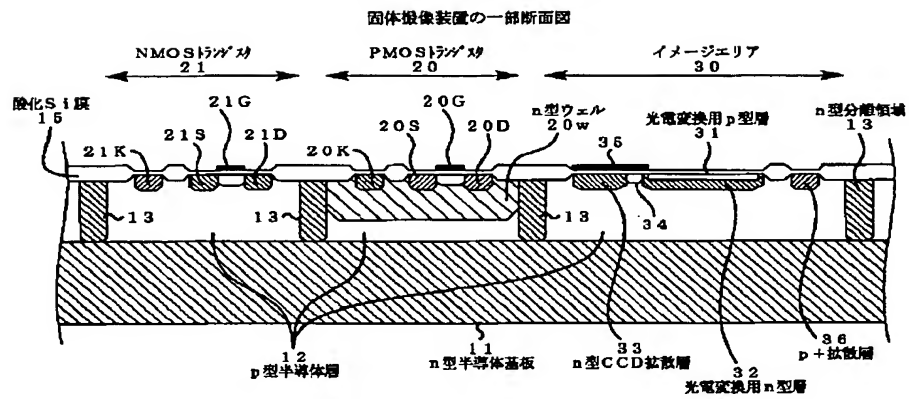


【図4】

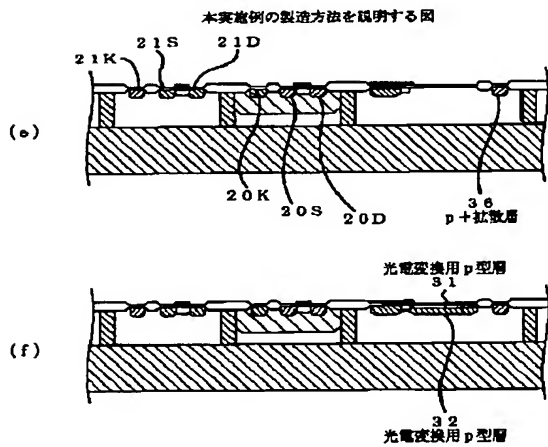
ラッチアップの防止効果を説明する図



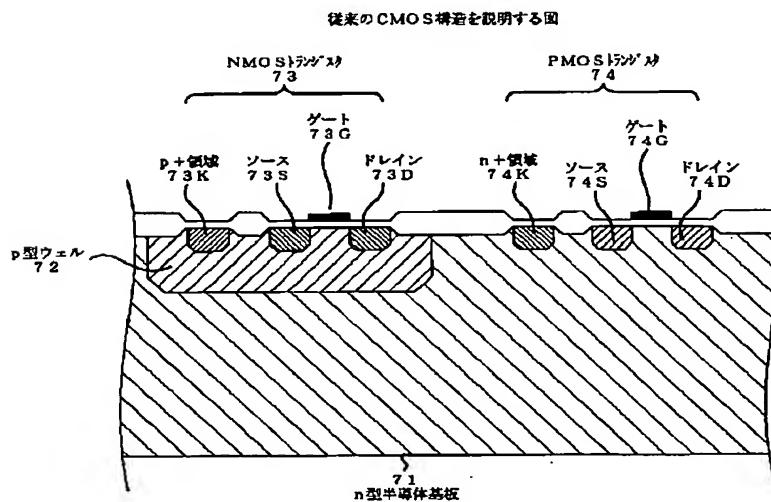
【図5】



【図7】

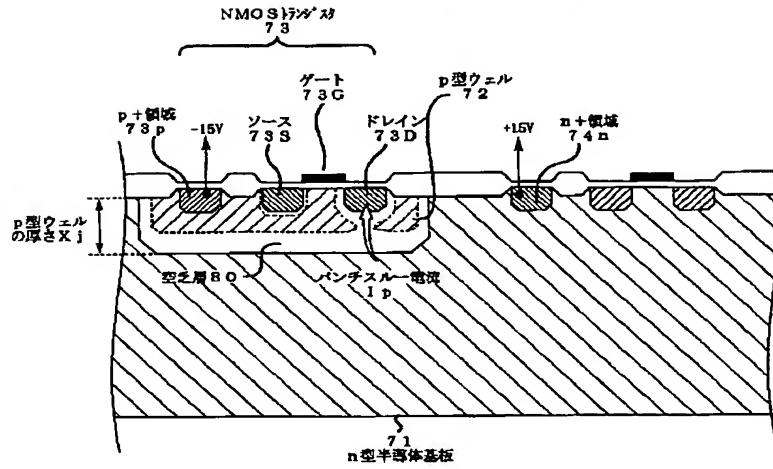


【図8】



【図 9】

パンチスルー現象を説明する図



【図 10】

ラッチアップ現象を説明する図

